



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11126883 A**(43) Date of publication of application: **11.05.99**

(51) Int. Cl.

H01L 27/108
H01L 21/8242
G11C 11/22
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **09292354**(22) Date of filing: **24.10.97**(71) Applicant: **SHARP CORP HARA TORU**

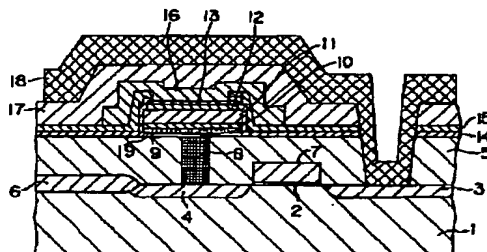
(72) Inventor: **MITARAI TAKASHI**
ONISHI SHIGEO
HARA TORU

(54) SEMICONDUCTOR MEMORY ELEMENT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a highly stable semiconductor memory element having extremely low deterioration of properties.

SOLUTION: A TiSiN barrier metal layer 13 is formed on a Pt upper electrode 12. It has conductivity and shielding property against hydrogen gas and keeps stable amorphous structure at a high temperature range without being crystalized, even when it is baked for crystalization of oxide ferroelectric substance thin film (SBT thin film) 11. Then, the TiSiN barrier metal layer 13 surely prevents the entry of hydrogen gas which is generated during formation of a second inter-layer insulating film 15, into the oxide ferroelectric substance thin film 11, thereby preventing the deterioration of properties of the oxide ferroelectric substance thin film 11 due to hydrogen gas.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-126883

(43)公開日 平成11年(1999) 5月11日

| (51)Int.Cl. ⁸ | 識別記号 | F I | |
|--------------------------------------|-------|---------------|---------|
| H 0 1 L 27/108 | | H 0 1 L 27/10 | 6 5 1 |
| 21/8242 | | G 1 1 C 11/22 | |
| G 1 1 C 11/22 | | H 0 1 L 27/10 | 4 5 1 |
| H 0 1 L 27/10 | 4 5 1 | | 6 2 1 B |
| 21/8247 | | 29/78 | 3 7 1 |
| 審査請求 未請求 請求項の致 6 O L (全 12 頁) 最終頁に続く | | | |

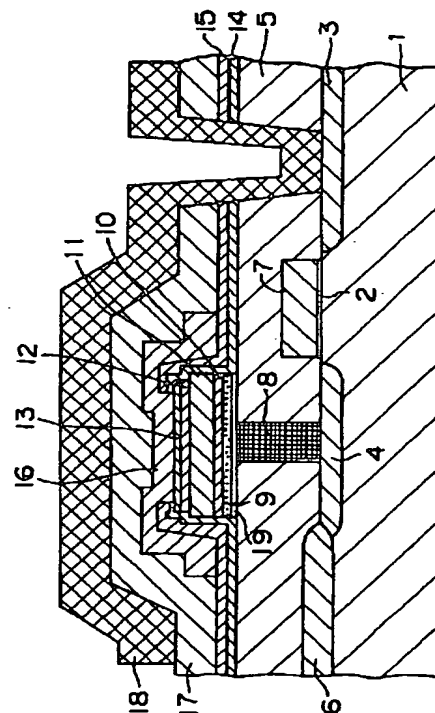
| | | | |
|----------|------------------|---------|--|
| (21)出願番号 | 特願平9-292354 | (71)出願人 | 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号 |
| (22)出願日 | 平成9年(1997)10月24日 | (71)出願人 | 596178969 原 徹 東京都世田谷区等々力1-32-20 |
| | | (72)発明者 | 御手洗 俊 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内 |
| | | (72)発明者 | 大西 茂夫 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内 |
| | | (74)代理人 | 弁理士 青山 葆 (外1名) 最終頁に続く |

(54)【発明の名称】 半導体メモリ素子

(57)【要約】

【課題】 誘電性薄膜の特性劣化が極めて少なく安定性の高い半導体メモリ素子を提供する。

【解決手段】 Pt上部電極12上にはTaSiNバリアメタル層13を形成している。このTaSiNバリアメタル層13は、導電性および水素ガス遮断性を有して酸化物強誘電体薄膜(SBT薄膜)11結晶化のための焼成の際にも結晶化せず高温域で安定なアモルファス構造を維持する。そして、後に第2層間絶縁膜15を形成する際に発生する水素ガスの酸化物強誘電体薄膜11への侵入を確実に遮断して、水素ガスによる酸化物強誘電体薄膜11の特性劣化を防止する。



【特許請求の範囲】

【請求項1】 下部電極、酸化物高誘電体薄膜あるいは酸化物強誘電体薄膜、上部電極を含むキャパシタと、上記キャパシタ上に、導電性および水素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有するバリア層を備えたことを特徴とする半導体メモリ素子。

【請求項2】 請求項1に記載の半導体メモリ素子において、

上記バリア層は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れか一つとシリコンとの窒化物薄膜、あるいは、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れかの組み合わせとシリコンとの窒化物薄膜であることを特徴とする半導体メモリ素子。

【請求項3】 請求項2に記載の半導体メモリ素子において、

上記バリア層は、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンをMと表記し、上記シリコンをSiと表記し、窒素をNと表記した場合に、 $M_x Si_{1-x} N_y$ で表され、且つ、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$ である材料で形成されていることを特徴とする半導体メモリ素子。

【請求項4】 順次積層された下部電極および酸化物高誘電体薄膜と、

上記酸化物高誘電体薄膜上に、導電性および酸素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有する上部電極を備えたことを特徴とする半導体メモリ素子。

【請求項5】 請求項4に記載の半導体メモリ素子において、

上記上部電極は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れか一つとシリコンとの窒化物薄膜、あるいは、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れかの組み合わせとシリコンとの窒化物薄膜であることを特徴とする半導体メモリ素子。

【請求項6】 請求項5に記載の半導体メモリ素子において、

上記上部電極は、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンをMと表記し、上記シリコンをSiと表記し、窒素をNと表記した場合に、 $M_x Si_{1-x} N_y$ で表され、且つ、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$ である材料で形成されていることを特徴とする半導体メモリ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、高誘電体薄膜あるいは強誘電体薄膜を利用した半導体メモリ素子に関す

る。

【0002】

【従来の技術】 近年、DRAM(ダイナミック・ランダム・アクセス・メモリ)等の半導体メモリ素子の高密度化および高集積化による記憶容量の増大に伴い、シリコン酸化膜に比べて高い誘電率を有する高誘電体薄膜材料を利用した半導体メモリが研究されている。高誘電体材料としてはSTO($SrTiO_3$; チタン酸ストロンチウム)やBST($(Ba, Sr)TiO_3$; チタン酸バリウム, チタン酸ストロンチウム)やタンタル酸化膜(Ta_2O_5)等があり、高集積DRAM等への応用が検討されている。

【0003】 一方、焦電性、圧電性、電気光学効果等の多くの機能を有する強誘電体材料は、赤外線センサ、圧電フィルタ、光変調素子といった広範囲なデバイス開発に応用されている。中でも、自発分極という特異な電気特性を利用した不揮発性メモリ素子(強誘電体メモリ素子)は、その高速書き込み/読み出し、低電圧動作等の特徴から、従来の不揮発性メモリのみならず、SRAM(スタティックRAM)やDRAM等の殆どのメモリに置き換わる可能性を秘めており、現在多くの研究が進められている。

【0004】 強誘電体材料としては、PZT($Pb(Zr, Ti)O_3$; ジルコン酸鉛, チタン酸鉛)を初めとするペロブスカイト型酸化物に属するものが主流であったが、近年 $SrBi_2Ta_2O_9$ 等のビスマス層状構造化合物材料が、その分極反転の繰り返し耐性から注目を集めており、強誘電体メモリ素子への実用化が検討されている。

【0005】

【発明が解決しようとする課題】 一般に、上述の酸化物薄膜材料をキャパシタ絶縁層として用いる半導体メモリ素子では、上部電極形成後に、各半導体メモリ素子間の電氣的絶縁を主目的とするBPSG(boro-phospho silicate glass)等の層間絶縁膜で被覆される。ところが、その場合に、反応性副生成物として発生する水素ガスが酸化物薄膜界面に還元作用を及ぼして上記上部電極と酸化物薄膜との密着性を低下させるために、上部電極と酸化物薄膜とに剥離が生ずるという問題がある。また、上記水素ガスの影響で、キャパシタの誘電率が低下したり、強誘電体薄膜の場合にはその特性の劣化が起こるとい

う問題がある。このことが、上述の酸化物薄膜材料をキャパシタ絶縁膜とする半導体メモリ素子を用いたデバイスの実用化に対する大きな弊害となっている。

【0006】 また、MOS(金属酸化膜半導体)トランジスタをスイッチング素子として用いる半導体メモリ素子では、その製造工程で発生するシリコン単結晶基板中の格子欠陥がMOSトランジスタの特性を劣化させる。そのため、最終工程における水素混合窒素ガス(フォーミングガス)中での熱処理によるMOS特性の修復が必要である。ところが、その場合の水素濃度は、上述の層間絶縁膜形成時に発生する水素よりも高濃度で、キャバ

シタに与える影響も非常に大きい。

【0007】上述の問題を解決するために、以下のよう
な提案がなされている。先ず、特開平7-111318
号公報に記載された強誘電体メモリでは、Al、Siもし
くはTiの窒化物の薄膜でキャパシタ上部を被覆して保
護膜としている。ところが、上記保護膜は、強誘電体と
して $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いた場合には、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$
の結晶化を図るための焼成温度で結晶化してしまう。そ
して、結晶化した保護膜では、粒界等がパスとなるため
に十分な水素ガス遮蔽性を得ることが難しいという問題
がある。このことは、TiN膜のような結晶の保護膜を
用いた場合も同様に起こる。

【0008】また、特開平7-273297号公報に記載
された強誘電体メモリでは、強誘電体薄膜の内部に吸
着した水分と反応する金属酸化物層を第1の保護膜と
し、層間絶縁膜を形成する過程において発生する水素ガ
スと反応する強誘電体層を第2の保護膜として用いてい
る。ところが、第1の保護膜である金属酸化物のような
絶縁物をキャパシタ上部の保護膜として用いる場合に
は、上部電極の取り出し口の開口が必要であり、保護膜
としての十分な効果が期待できない。あるいは、導電性
がないために何らかの構造的な工夫が必要であり、成膜
や加工の工夫も複雑になるという問題がある。

【0009】さらに、上記第2の保護膜のように、保護
膜自身が強誘電性を持つと、数種の電極や金属配線が上
記保護膜を挟んで存在するような構造のメモリ素子の場
合には、メモリ素子の動作に支障を来すこともある。そ
のために、保護膜を非晶質化あるいは部分非晶質化する
等、強誘電性の発現を抑制する必要がある、製造工程が
複雑になるという問題もある。

【0010】何れにしても、上記各保護膜は、上部電極
を構成する材料としては課題を残したままである。

【0011】また、 Ta_2O_5 等の酸化物高誘電体をDR
AM等のキャパシタ絶縁膜として用いる場合、一般には
TiN膜を上部電極として用いるが、その場合、層間絶
縁膜形成後のアニール時にキャパシタ絶縁膜の酸素が上
記上部電極へ抜け、リーク電流が増大するという問題が
ある。

【0012】そこで、この発明の目的は、誘電性薄膜の
誘電率、残留分極値、リーク電流密度および絶縁耐圧等の
特性劣化が極めて少なく、安定性の高い半導体メモリ素
子を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するた
め、請求項1に係る発明の半導体メモリ素子は、下部電
極、酸化物高誘電体薄膜あるいは酸化物強誘電体薄膜、上
部電極を含むキャパシタと、上記キャパシタ上に、導電
性および水素ガス遮断性を有し、且つ、高温域で安定な
アモルファス構造を有するバリア層を備えたことを特徴
としている。

【0014】上記構成によれば、バリア層の形成後に層
間絶縁膜の形成やMOS特性修復が行われ、その場合に
発生する水素ガスや使用される水素ガスが酸化物高誘電
体薄膜あるいは酸化物強誘電体薄膜側へ侵入しようとし
る。ところが、この水素ガスは上記バリア層によって遮
断される。こうして、上記水素ガスによる酸化物誘電体
薄膜界面に対する還元作用が防止され、上記上部電極と
酸化物誘電体薄膜との剥離および上記酸化物誘電体薄膜
を含むキャパシタの特性劣化が回避されるのである。

【0015】さらに、上記バリア層は、上記酸化物誘電
体薄膜を結晶化させるための焼成温度で結晶化されるこ
とがなくアモルファス状態を保ち、効果的に上記水素ガ
スの遮断効果を発揮する。さらに、上記バリア層は、導
電性を有しているので電極取り出し口の開口を設ける必
要がない。したがって、上記酸化物誘電体薄膜を十分保
護しつつ引き出し用の配線との良好なコンタクトが取ら
れる。

【0016】また、請求項2に係る発明は、請求項1に
係る発明の半導体メモリ素子において、上記バリア層
は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タ
ンタルおよびタングステンのうちの何れか一つとシリコ
ンとの窒化物薄膜、あるいは、上記ジルコニウム、ニオブ、
モリブデン、ハフニウム、タンタルおよびタングステンの
うちの何れかの組み合わせとシリコンとの窒化物薄膜で
あることを特徴としている。

【0017】上記構成によれば、導電性および水素ガス
遮断性を有し、且つ、高温域で安定なアモルファス構造
を有するバリア層が、容易に形成される。

【0018】また、請求項3に係る発明は、請求項2に
係る発明の半導体メモリ素子において、上記バリア層
は、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、
タンタルおよびタングステンをMと表記し、上記シリコ
ンをSiと表記し、窒素をNと表記した場合に、 $\text{M}_x\text{Si}_{1-x}\text{N}_y$
で表され、且つ、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$
である材料で形成されていることを特徴として
いる。

【0019】上記構成によれば、良好な導電性および水
素ガス遮断性を有すると共に、高温域で安定なアモルフ
ァス構造を有するバリア層が形成される。

【0020】また、請求項4に係る発明の半導体メモリ
素子は、順次積層された下部電極および酸化物高誘電体
薄膜と、上記酸化物高誘電体薄膜上に、導電性および酸
素ガス遮断性を有し、且つ、高温域で安定なアモルファ
ス構造を有する上部電極を備えたことを特徴としてい
る。

【0021】上記構成によれば、上記酸化物高誘電体薄
膜の形成後に、この酸化物高誘電体薄膜を安定化させる
ために焼成が行われる。その場合に、上記酸化物高誘電
体薄膜上に形成された上部電極の酸素ガス遮断性によっ
て、上記酸化物高誘電体薄膜から酸素ガスが抜けること

が防止される。こうして、上記酸素ガスの抜けによる酸化物高誘電体薄膜のリーク電流特性の劣化が回避される。さらに、上記上部電極は、上記酸化物高誘電体薄膜の焼成温度で結晶化されることがなくアモルファス状態を保ち、上記酸素ガスの抜け防止を効果的に発揮する。

【0022】また、請求項5に係る発明は、請求項4に係る発明の半導体メモリ素子において、上記上部電極は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れか一つとシリコンとの窒化物薄膜、あるいは、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れかの組み合わせとシリコンとの窒化物薄膜であることを特徴としている。

【0023】上記構成によれば、導電性および酸素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有する上部電極が、容易に形成される。

【0024】また、請求項6に係る発明は、請求項5に係る発明の半導体メモリ素子において、上記上部電極は、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンをMと表記し、上記シリコンをSiと表記し、窒素をNと表記した場合に、 $M_x Si_{1-x} N_y$ で表され、且つ、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$ である材料で形成されていることを特徴としている。

【0025】上記構成によれば、良好な導電性および酸素ガス遮断性を有すると共に、高温域で安定なアモルファス構造を有する上部電極が形成される。

【0026】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

<第1実施の形態>本実施の形態は、下部電極、酸化物強誘電体層および上部電極で成るキャパシタの上部に、導電性および水素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を持つバリアメタル層を形成するものである。図1は、本実施の形態の強誘電体メモリ素子における断面図である。この強誘電体メモリ素子は、次のような構成を有している。

【0027】すなわち、第1導電型シリコン基板1上に、ゲート酸化膜2、ソース領域としての第2導電型不純物拡散領域3およびドレン領域としての第2導電型不純物拡散領域4を有するMOS(CMOS(相補型MOS))を構成する一方のMOSであり他方のMOSは省略が形成されており、第1層間絶縁膜5で覆われている。尚、6は素子間分離酸化膜であり、7はポリシリコンワード線である。そして、第1層間絶縁膜5には、上記CMOSとキャパシタ部とを接続するためのコンタクトプラグ8が形成されている。

【0028】上記第1層間絶縁膜5上におけるコンタクトプラグ8の位置には、順次Ti層19、TiNバリアメタル層9、Pt下部電極10、酸化物強誘電体薄膜11、P

t上部電極12およびTaSiNバリアメタル層13が形成されて、上記キャパシタ部を構成している。そして更に、Ta₂O₅バリア絶縁膜14および第2層間絶縁膜15で覆われており、TaSiNバリアメタル層13上におけるTa₂O₅バリア絶縁膜14および第2層間絶縁膜15が開口されて、Alプレート線16が形成されている。

【0029】さらに、全体が第3層間絶縁膜17で覆われている。そして、第3層間絶縁膜17におけるソース領域3上にはコンタクトホールが形成され、ソース領域3とコンタクトを取るためのAlビット線18が形成されている。

【0030】ここで、上記TaSiNバリアメタル層13は、導電性および水素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有している。したがって、後に第2層間絶縁膜15を形成する際に発生する水素ガスの酸化物強誘電体薄膜11側への侵入が遮断される。こうして、上記水素ガスによる酸化物強誘電体薄膜11の界面の還元や特性劣化が防止されるのである。さらに、上記導電性を有するために上部電極取り出し口の開口が不要であり、酸化物強誘電体薄膜11を保護しつつ、後に形成されるプレート線と良好なコンタクトを図ることができるのである。

【0031】上記構成を有する強誘電体メモリ素子は、以下のような手順によって形成される。まず、図2(a)に示すように、第1導電型シリコン基板1上に素子分離のための素子間分離酸化膜6を形成した後、通常のMOSFET(MOS電界効果トランジスタ)形成方法によって、ゲート酸化膜2、ソース領域3、ドレン領域4及びポリシリコンワード線7で成るMOSを形成する。そして、BPSGで成る第1層間絶縁膜5で覆った後、上記キャパシタ部がドレン領域4と接触する部分のみにホトリソグラフィ法とドライエッチング法を用いてコンタクトホールを穿ち、不純物拡散したポリシリコンを埋め込んでコンタクトプラグ8を形成する。そして、CMP(C

hemical Mechanical Polishing)法によって第1層間絶縁膜5およびコンタクトプラグ8の表面を平坦化する。【0032】次に、図2(b)に示すように、スパッタ法によって順次膜厚3000ÅのTi層19および膜厚2000ÅのTiNバリアメタル層9を堆積した後、スパッタ法によってPt薄膜を膜厚1000Åで堆積してPt下部電極10を形成する。そして、このPt下部電極10上に、酸化物強誘電体薄膜11としてSrBi₂Ta₂O₉薄膜(以下、SBT薄膜と略称する)を膜厚2000Åで成膜する。尚、上記SBT薄膜11は、ややBi過剰のSr:Bi:Ta=1:2.2:2になるように調製した前駆体溶液を3回に分けてスピンドットし、乾燥した後焼成して形成する。そうした後、スパッタ法によってPt膜を膜厚1000Åで成膜してPt上部電極12とし、さらにその上に、TaSiNバリアメタル層13を100

0 Åの膜厚で成膜する。尚、Ti層19は、コンタクトプラグ8とのコンタクト抵抗の低減およびPt下部電極10との密着性を向上するための層である。

【0033】上記TaSiNバリアメタル層13の成膜には反応性スパッタ法を用いる。この反応性スパッタリングは、ArとN₂との混合ガスを用いたRF(高周波)スパッタ装置で行う。このRFスパッタ装置は、TaとSiとをターゲットとし、各ターゲットへの供給電力とN₂ガス流量比を変化させることによってTa/Si/Nの組成比を変えることができる。本実施の形態においては、Taターゲットへの供給電力を300Wとする一方、Siターゲットへの供給電力を400Wとし、混合ガス中におけるN₂ガス流量比を10%とし、成膜圧力を4.0mTorrとした。そして、上述の条件で成膜したTaSiN薄膜の組成はTa_{0.80}Si_{0.20}N_{0.59}であることを、RBS(Rutherford Backscattering Spectrometry)を用いた測定によって確認した。

【0034】その後、ホトリソグラフィ法とドライエッチング法を用いてPt上部電極12およびTaSiNバリアメタル層13を1.7μm角の大きさに加工し、SBT薄膜(酸化物強誘電体薄膜)11結晶化のための焼成を行う。さらに、SBT薄膜11、Pt下部電極10、TiNバリアメタル層9およびTi層19を、ホトリソグラフィ法とドライエッチング法とを用いて2.0μm角の大きさに加工して、図2(b)に示すような形状にする。尚、ドライエッチングにはECR(電子サイクロトロン共鳴)エッチャを用いる。

【0035】尚、上記SBT薄膜11結晶化のための焼成の際にTaSiNバリアメタル層13が結晶化することではなく、高温域で安定なアモルファス構造を維持している。したがって、結晶化した場合のように粒界がパスとなって水素ガスが十分遮蔽されないことはないのである。このことは、TaSiNのみを成膜し、同じ条件で焼成した試料のX線回折測定の結果が非晶質であることで確認している。

【0036】次に、図2(c)に示すように、スパッタ法によって膜厚300ÅのTa₂O₅バリア絶縁膜14を堆積し、続いて、CVD(化学蒸着)法を用いて膜厚200ÅのオゾンTEOS(Si(OC₂H₅)₄)膜を形成して第2層間絶縁膜15とする。その後、Ta₂O₅バリア絶縁膜14および第2層間絶縁膜15におけるSBT薄膜11上の領域にホトリソグラフィ法とドライエッチング法で1.2μm角のコンタクトホールを形成する。

【0037】ここで、上述したように、第2層間絶縁(オゾンTEOS)膜15を形成する際に反応性複製生物として水素ガスが発生する。ところが、本実施の形態においては、Pt上部電極12上に、水素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有するTaSiNバリアメタル層13を形成しているので、この水素ガスの酸化物強誘電体薄膜11側への侵入が確実に遮

断されるのである。

【0038】次に、図2(d)に示すように、膜厚400ÅでAl電極を形成し、ホトリソグラフィ法とドライエッチング法を用いて加工してAlプレート線16とする。そうした後、常圧窒素雰囲気中において400℃で30分間の熱処理を行って電極界面を安定化させる。

【0039】次に、プラズマCVD法を用いて膜厚500ÅでプラズマTEOS膜を形成して第3層間絶縁膜17とする。そして、ホトリソグラフィ法とドライエッチング法によってソース領域3へのコンタクトホールを形成し、公知のAl配線技術を用いてソース領域3とコンタクトを取るためのAlビット線18を形成する。こうして、図1に示す強誘電体メモリ素子が形成される。

【0040】以後、詳述はしないが、上記強誘電体メモリ素子の製造工程でシリコン単結晶基板中に発生する格子欠陥によるMOSトランジスタの特性劣化を修復するために、水素混合窒素ガス(フォーミングガス)中で熱処理を行う。その場合に使用されるフォーミングガスの水素濃度は、上述の第2層間絶縁膜15形成時に発生する水素よりも高濃度ではあるが、Pt上部電極12上に形成されたTaSiNバリアメタル層13によって、フォーミングガス中の水素ガスの酸化物強誘電体薄膜11側への侵入が遮断される。

【0041】このようにして形成された強誘電体メモリ素子の強誘電特性を、ソーヤ・タワーブリッジ回路を用いて測定した。図3は、印加電圧3V時の外部電界一分極ヒステリシスループを示す。図より、残留分極Prは8.5μC/cm²であり、抗電界Ecは40kV/cmであり、強誘電体キャパシタとして十分な強誘電特性を有していることが確認された。また、上記強誘電体メモリ素子のリーク電流密度を電流-電圧測定方法によって測定した。その結果、印加電圧3Vにおけるリーク電流は5×10⁻⁸A/cm²であり、印加電圧10Vでも絶縁破壊が起こっていないことから、強誘電体キャパシタとして十分なリーク電流特性を有していることが確認された。

【0042】次に、本実施の形態における強誘電体メモリ素子と、従来の強誘電体メモリ素子(以下、比較サンプルと言う)との比較結果について述べる。図4は、上記比較サンプルの断面図である。

【0043】第1導電型シリコン基板21、ゲート酸化膜22、ソース領域(第2導電型不純物拡散領域)23、ドレン領域(第2導電型不純物拡散領域)24、第1層間絶縁膜25、素子間分離酸化膜26、ポリシリコンワード線27、コンタクトプラグ28、Ti層38、TiNバリアメタル層29、Pt下部電極30、酸化物強誘電体薄膜31、Pt上部電極32、Ta₂O₅バリア絶縁膜33、第2層間絶縁膜34、第3層間絶縁膜39およびAlビット線40は、図1に示す強誘電体メモリ素子における第1導電型シリコン基板1、ゲート酸化膜2、ソース領域(第2導電型不純物拡散領域)3、ドレン領域(第2導電型不純物拡

散領域) 4, 第1層間絶縁膜5, 素子間分離酸化膜6, ポリシリコンワード線7, コンタクトプラグ8, Ti層19, TiNバリアメタル層9, Pt下部電極10, 酸化物強誘電体薄膜11, Pt上部電極12, Ta₂O₅バリア絶縁膜14, 第2層間絶縁膜15, 第3層間絶縁膜17およびAlビット線18と同じ構成を有している。

【0044】さらに、本比較サンプルにおいては、上記Pt上部電極32上に形成された上記Ta₂O₅バリア絶縁膜33および上記第2層間絶縁膜34が開口されて、Ti密着層35, TiNバリアメタル層36及びAlプレート線37が形成されている。ここで、上記TiNバリアメタル層36は水素ガス遮蔽層である。また、Ti密着層35は、第2層用絶縁膜34とTiNバリアメタル層36との密着層である。

【0045】上記比較サンプルは、次のような手順によって形成される。すなわち、本実施の形態における強誘電体メモリ素子の作成手順と同じ手順によって、図5(a)及び図5(b)に示すように、第1導電型シリコン基板21上に、ゲート酸化膜22, ソース領域23, ドレン領域24, 第1層間絶縁膜25, 素子間分離酸化膜26, ポリシリコンワード線27, コンタクトプラグ28, TiNバリアメタル層29, Pt下部電極30, 酸化物強誘電体薄膜(SBT薄膜)31, Pt上部電極32が形成される。そして、Pt上部電極32が1.7μm角の大きさに加工され、SBT薄膜31が焼成され、SBT薄膜31, Pt下部電極30, TiNバリアメタル層29およびTi層38が2.0μm角の大きさに加工される。

【0046】次に、その上に続けて、本実施の形態における強誘電体メモリ素子の作成手順と同じ手順によって、図5(c)に示すように、Ta₂O₅バリア絶縁膜33および第2層間絶縁膜34が形成されてSBT薄膜31上の領域に1.2μm角のコンタクトホールが形成される。

【0047】次に、図5(d)に示すように、Tiを膜厚100Åで成膜してTi密着層35とする。さらにTiNを膜厚500Åで成膜してTiNバリアメタル層36とする。その後、膜厚4000ÅでAl電極を形成し、これらをホトリソグラフィ法とドライエッチング法を用いて加工してAlプレート線37とする。そうした後、常圧窒素雰囲気中において400℃で30分間の熱処理を行って電極界面を安定化させる。

【0048】次に、その上に続けて、本実施の形態における強誘電体メモリ素子の作成手順と同じ手順によって、第3層間絶縁膜39およびAlビット線40を形成し、図4に示す比較サンプルが形成される。

【0049】このようにして形成された比較サンプルの強誘電特性を、ソーヤ・タワーブリッジ回路を用いて測定した。図6は、印加電圧3V時の外部電界一分極ヒステリシスループを示す。図より、残留分極Prは5.0μC/cm²であり、抗電界Ecは60kV/cmであり、図3に示す本実施の形態における強誘電体メモリ素子のヒステ

リシスループに比較して、残留分極Prは小さくなる一方抗電界Ecは大きくなって、ヒステリシスループがなだらかなっていることが分かる。

【0050】このように、上記外部電界一分極ヒステリシスループがなだらかであると言うことは、保持されている情報が「0」であるのか「1」であるのかを容易に且つ正確に判定できない場合が生ずることを意味するのである。これは、上記比較サンプルの水素ガス遮蔽層が柱状結晶であるTiNバリアメタル層36で構成されているために、粒界等がバスとなって十分な水素ガス遮蔽効果が得られず、SBT薄膜(酸化物強誘電体薄膜)11の分圧特性に劣化が生じたためである。

【0051】また、上記比較サンプルのリーク電流密度を電流-電圧測定方法によって測定した。その結果、印加電圧3Vにおけるリーク電流は 3×10^{-5} A/cm²であり、印加電圧3V付近で絶縁破壊が起こっており、キャパシタへの適用に必要な特性が損なわれていることが確認された。これは、TiNバリアメタル層36によって十分な水素ガス遮蔽効果が得られず、強誘電体キャパシタのリーク電流特性も劣化していることを意味する。

【0052】これに対して、本実施の形態における強誘電体メモリ素子においては、水素ガス遮蔽層を、導電性および水素ガス遮断性を有するTaSiNバリアメタル層13で構成している。そして、このTaSiNバリアメタル層13は、SBT薄膜11結晶化のための焼成の際にも結晶化することはなく高温域で安定なアモルファス構造を維持している。したがって、後に第2層間絶縁膜15を形成する際に発生する水素ガスを確実に遮断できるのである。さらに、TaSiNバリアメタル層13は、導電性を有しているので電極取り出し口の開口が不要であり、STB薄膜11を十分保護しつつAlプレート線16と良好なコンタクトを取ることができる。

【0053】すなわち、本実施の形態によれば、上記第2層間絶縁膜15を形成する際に発生する水素ガスによってSTB薄膜11の特性が劣化することを防止できる。その結果、急峻な外部電界一分極ヒステリシスループを維持でき、保持されている情報「0」、「1」の判定を容易に且つ正確にできる良好なメモリ素子を得ることができるのである。

【0054】尚、上記実施の形態においては、TaSiNバリアメタル層13の形成にはスパッタ法を用いているが、CVD法等の他の方法を用いても一向に構わない。また、上記実施の形態においては、水素ガスのバリアメタル層としてTaSiNバリアメタル層13を用いているが、この発明は、これに限定されるものではない。例えば、Zr, Nb, Mo, Hf, Ta及びWのうちの何れか一つとSiとの窒化物、または、Zr, Nb, Mo, Hf, Ta及びWのうちの何れかの組み合わせとSiとの窒化物であっても、水素ガスの拡散透過を防止でき、TaSiNとほぼ同様の効果が期待できる。

【0055】また、上記実施の形態においては、上記TaSiNバリア金属層13の組成が $Ta_{0.80}Si_{0.20}N_{0.59}$ である場合を例に説明しているが、水素ガスバリア金属を $M_xSi_{1-x}N_y$ と表した場合の各 x, y を種々変えて試験をした結果、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$ であれば、水素ガス遮断効果が得られることが確認された。但し、Mは、Zr, Nb, Mo, Hf, TaおよびWのうちの何れかである。

【0056】また、上記実施の形態では、上記酸化物強誘電体薄膜の材料としてSBT薄膜を用いている。しかしながら、この発明はこれに限定されるものではなく、
10 上記PZT($Pb(Zr, Ti)O_3$)や $SrBi_2Nb_2O_9$ 、 $SrBi_2(Ta, Nb)_2O_9$ 、 $Bi_4Ti_3O_{12}$ 、 $SrBi_4Ti_4O_{15}$ 、 $SrBi_4(Ti, Zr)_4O_{15}$ 、 $CaBi_2Ta_2O_9$ 、 $BaBi_2Ta_2O_9$ 、 $BaBi_2Nb_2O_9$ 、 $PbBi_2Ta_2O_9$ 等の材料でも適用可能である。

【0057】また、上記実施の形態においては、酸化物強誘電体薄膜に対する水素ガスの遮断効果を例に説明しているが、酸化物高誘電体薄膜に対しても水素ガスの遮断効果が得られ、水素ガスの侵入に起因する上部電極と酸化物高誘電体薄膜との剥離や酸化物高誘電体キャパシタの特性劣化を防止できるのである。

【0058】＜第2実施の形態＞本実施の形態は、酸化物高誘電体層上に、導電性および酸素ガス遮断性を有して、且つ、高温域で安定なアモルファス構造を呈する上部電極を形成するものである。図7は、本実施の形態の高誘電体メモリ素子における断面図である。この高誘電体メモリ素子は、次のような構成を有している。

【0059】すなわち、第1導電型シリコン基板41上に、ゲート酸化膜42、ソース領域としての第2導電型不純物拡散領域43およびドレン領域としての第2導電型不純物拡散領域44を有するMOSが形成されており、第1層間絶縁膜45で覆われている。尚、46は素子間分離酸化膜であり、47はポリシリコンワード線である。そして、第1層間絶縁膜45には、上記CMOSとキャパシタ部とを接続するためのコンタクトプラグ48が形成されている。

【0060】上記第1層間絶縁膜45上におけるコンタクトプラグ48の位置には、TiNバリア金属層49、Pt下部電極50、酸化物高誘電体薄膜51、TaSiN上部電極52が順次形成されて、上記キャパシタ部を構成している。そして更に、第2層間絶縁膜53で覆われており、TaSiN上部電極52上における第2層間絶縁膜53が開口されて、Alプレート線54が形成されている。

【0061】さらに、全体が第3層間絶縁膜55で覆われている。そして、第3層間絶縁膜55におけるソース領域43上にはコンタクトホールが形成され、ソース領域43とコンタクトを取るためのAlビット線56が形成されている。

【0062】ここで、上記TaSiN上部電極52は、導電性および酸素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有している。したがって、酸化物高誘電体薄膜51の焼成時に、酸化物高誘電体薄膜51から上部電極側へ抜けようとする酸素が遮断される。こうして、リーク電流特性の良好な高誘電体メモリ素子を得ることができるのである。

【0063】以下、上記TaSiN上部電極52による酸化物高誘電体薄膜51のリーク電流特性劣化防止効果について、より簡単なモデル素子(以下、リーク電流特性評価用素子と言う)を例に具体的に説明する。

【0064】図8(d)は、上記リーク電流特性評価用素子の断面図である。このリーク電流特性評価用素子は、 4×10^7 個のアレイを有して一度に多数の評価結果が得られるようになっており、以下のような構成を有している。

【0065】すなわち、N型シリコン基板61上に、N+型不純物拡散層62(図7におけるMOSを想定)および第1層間絶縁膜63が形成されている。そして、第1層間絶縁膜63には、N+型不純物拡散層62とキャパシタ部とを接続するためのポリシリコンプラグ64が形成され、このポリシリコンプラグ64の第1層間絶縁膜63から突出している箇所にはサイドウォール65が形成されている。

【0066】上記ポリシリコンプラグ64およびサイドウォール65を含む所定領域には、上記酸化物高誘電体薄膜としてのキャパシタ絶縁膜66およびTaSiN上部電極67が形成されて、上記キャパシタ部を構成している。さらに、全体が第2層間絶縁膜68で覆われている。そして、第2層間絶縁膜68におけるTaSiN上部電極67上にはコンタクトホールが形成され、TaSiN上部電極67とコンタクトを取るためのAl引き上げ電極69が形成されている。

【0067】上記構成を有するリーク電流特性評価用素子は、以下のような手順によって形成される。まず、図8(a)に示すように、N型シリコン基板61の全面にN+型不純物拡散層62を形成した後、BPSGで成る第1層間絶縁膜63で覆う。その後、第1層間絶縁膜63上における所定の位置に、ホトリソグラフィ法とドライエッチング法を用いて $0.18 \mu m$ 径のコンタクトホールを穿ち、不純物拡散したポリシリコンを埋め込んでポリシリコンプラグ64を形成する。そして、ホトリソグラフィ法とドライエッチング法を用いて、ポリシリコンプラグ64の上部に第1層間絶縁膜63上に突出した $0.55 \mu m \times 0.3 \mu m$ の矩形の領域を形成する。

【0068】次に、図8(b)に示すように、CVD法を用いて膜厚 1000 \AA のNSG(non-doped silicate glass)を成膜し、エッチバックを行ってサイドウォール65を形成する。その後、アンモニア中においてRTA(Rapid Thermal Annealing)によって表面窒化処理を行

い、膜厚120ÅのTa₂O₅薄膜をCVD法を用いて成膜してキャパシタ絶縁膜66とする。そして、Ta₂O₅薄膜(キャパシタ絶縁膜)66を安定化させるため、酸素雰囲気中で500℃～700℃、30分間の焼成を行う。そうした後に、図8(c)に示すように、膜厚1000ÅでTaSiN薄膜を形成してTaSiN上部電極67とする。

【0069】尚、上記キャパシタ絶縁膜66を安定化させるための焼成の際にTaSiN上部電極67が結晶化することはなく、高温域で安定なアモルファス構造を維持している。そのために、上記焼成によって、酸化物高誘電体であるキャパシタ絶縁膜66からTaSiN上部電極67側へ抜けようとする酸素が確実に遮断されるのである。

【0070】上記TaSiN上部電極67の成膜には反応性スパッタ法を用いる。この反応性スパッタリングは、ArとN₂の混合ガスを用いたRFスパッタ装置で行う。本実施の形態においては、Taターゲットへの供給電力を300Wとする一方、Siターゲットへの供給電力を400Wとし、混合ガス中におけるN₂ガス流量比を10%とし、成膜圧力は4.0mTorrとした。そして、上記条件で成膜したTaSiN薄膜の組成はTa_{0.80}Si_{0.20}N_{0.59}であることを、RBSを用いた測定によって確認した。

【0071】その後、図8(d)に示すように、ホトリソグラフィ法とドライエッチング法を用いてキャパシタ絶縁膜66及びTaSiN上部電極67のパターニングを行い、CVD法を用いて膜厚2000ÅのオゾンTEOS膜を形成して第2層間絶縁膜68とする。そうした後、実際のDRAM製造工程の条件を想定して、窒素雰囲気中で500℃～600℃、30分間の焼成を行う。

【0072】次に、上記第2層間絶縁膜68におけるTaSiN上部電極67上の所定の位置に、ホトリソグラフィ法とドライエッチング法とを用いてコンタクトホールを形成し、TaSiN上部電極67とコンタクトを取るためのAl引き上げ電極69を膜厚4000Åで形成する。そして、ホトリソグラフィ法とドライエッチング法とを用いてAl引き上げ電極69を成型して、図7に示す高誘電体メモリ素子をモデル化したリーク電流特性評価用素子が形成される。

【0073】このようにして形成されたリーク電流特性評価用素子における焼成後のキャパシタ絶縁膜66のリーク電流を、電流-電圧測定方法によって測定した。その場合の測定は、Al引き上げ電極69とN+型不純物拡散層62との間に電圧を印加することによって行った。その結果、印加電圧1.0Vにおけるリーク電流は 1.2×10^{-8} A/cm²であり、高誘電体キャパシタとして十分なリーク電流特性を有していることが確認された。

【0074】次に、本実施の形態における高誘電体メモ

リ素子をモデル化したリーク電流特性評価用素子と、従来の高誘電体メモリ素子をモデル化したリーク電流特性評価用素子(以下、比較サンプルと言う)との比較結果について述べる。図9(d)は、上記比較サンプルの断面図である。

【0075】N型シリコン基板71、N+型不純物拡散層72、第1層間絶縁膜73、ポリシリコンプラグ74、サイドウォール75、キャパシタ絶縁膜76、第2層間絶縁膜78およびAl引き上げ電極79は、図8(d)に示すN型シリコン基板61、N+型不純物拡散層62、第1層間絶縁膜63、ポリシリコンプラグ64、サイドウォール65、キャパシタ絶縁膜66、第2層間絶縁膜68およびAl引き上げ電極69と同じ構成を有している。

【0076】さらに、上記比較サンプルにおいては、上記キャパシタ絶縁膜76上にTiN上部電極77が形成されており、上記Al引き上げ電極79とコンタクトが取られている。

【0077】上記比較サンプルは、次のような手順によって形成される。すなわち、本実施の形態におけるリーク電流特性評価用素子の作成手順と同じ手順によって、図9(a)及び図9(b)に示すように、N型シリコン基板71上に、N+型不純物拡散層72、第1層間絶縁膜73、ポリシリコンプラグ74、サイドウォール75、キャパシタ絶縁膜76が形成される。そして、キャパシタ絶縁膜76を安定化させるために焼成される。

【0078】次に、図9(c)に示すように、CVD法を用いて膜厚1000ÅでTiN薄膜を形成してTiN上部電極77とする。

【0079】続いて、本実施の形態におけるリーク電流特性評価用素子の作成手順と同じ手順によって、図9(d)に示すように、キャパシタ絶縁膜76およびTiN上部電極77のパターニングが行われた後、第2層間絶縁膜78およびAl引き上げ電極79が形成される。こうして、TiN上部電極を有する従来の高誘電体メモリ素子をモデル化した比較サンプルが形成される。

【0080】このようにして形成された比較サンプルにおける焼成後のキャパシタ絶縁膜76のリーク電流を、電流-電圧測定方法によって測定した。その結果、印加電圧1.0Vにおけるリーク電流は 4.13×10^{-6} A/cm²であり、本実施の形態における高誘電体キャパシタを用いた電流-電圧測定用素子に比較して約2桁程度のリーク電流の増加が見られた。この値は、高誘電体キャパシタとして用いるには不十分な値である。尚、上記リーク電流の増加は、上記比較サンプルの上部電極はTiNで構成されているので、十分な酸素ガス遮断効果が得られないためである。

【0081】これに対して、本実施の形態における強誘電体メモリ素子をモデル化したリーク電流特性評価用素子においては、上記上部電極を導電性および酸素ガス遮断性を有するTaSiNで形成している。したがって、こ

のTaSiN上部電極67は、酸化物高誘電体薄膜であるキャパシタ絶縁膜66の焼成の際にも結晶化することなく高温域で安定なアモルファス構造を維持して、TaSiN上部電極67側に抜けようとする酸素ガスを確実に遮断できるのである。

【0082】そして、このような本実施の形態におけるリーク電流特性評価用素子が有する酸素ガス遮断機能は、図7に示すようなPt下部電極50、酸化物高誘電体薄膜51およびTaSiN上部電極52で構成されるキャパシタ部を有する高誘電体メモリ素子の場合でも同様に機能することができる。したがって、本実施の形態によればリーク電流特性の良好な高誘電体メモリ素子を得ることができるのである。

【0083】尚、上記実施の形態においては、上記TaSiN上部電極67の形成にはスパッタ法を用いているが、CVD法等の他の方法を用いても一向に構わない。また、上記実施の形態においては、酸素ガスのバリアメタルとしてTaSiNを用いているが、この発明は、これに限定されるものではない。例えば、Zr、Nb、Mo、Hf、Ta及びWのうちの何れか一つとSiとの窒化物、または、Zr、Nb、Mo、Hf、Ta及びWのうちの何れかの組み合わせとSiとの窒化物であっても、酸化物高誘電体からの酸素ガスの抜けを防止でき、上記TaSiNとほぼ同様の効果が期待できる。

【0084】また、上記実施の形態においては、上記酸素ガスのバリア層としてのTaSiN上部電極67の組成が $Ta_{0.80}Si_{0.20}N_{0.59}$ である場合を例に説明しているが、酸素ガスバリアメタルを $M_xSi_{1-x}N_y$ と表した場合の各 x 、 y を種々変えて試験をした結果、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$ であれば、水素ガス遮断効果が得られることが確認された。但し、Mは、Zr、Nb、Mo、Hf、TaおよびWのうちの何れかである。

【0085】

【発明の効果】以上より明らかなように、請求項1に係る発明の半導体メモリ素子は、下部電極、酸化物高誘電体薄膜あるいは酸化物強誘電体薄膜、上部電極を含むキャパシタ上に、導電性および水素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有するバリア層を備えたので、層間絶縁膜を形成する場合に発生する水素ガスやMOS特性修復時に使用される水素ガスが上記酸化物高誘電体薄膜あるいは酸化物強誘電体薄膜側へ侵入することを、上記バリア層によって遮断できる。したがって、上記水素ガスによる酸化物誘電体薄膜界面に対する還元作用を防止でき、上記上部電極と酸化物誘電体薄膜との剥離および上記酸化物誘電体薄膜を含むキャパシタの特性劣化を回避できる。

【0086】さらに、上記バリア層は、上記酸化物誘電体薄膜を結晶化させるための焼成温度で結晶化することなくアモルファス状態を保ち、効果的に上記水素ガスの遮断効果を発揮することができる。さらに、上記バリ

ア層は、導電性を有しているので電極取り出し口の開口を設ける必要がなく、上記酸化物誘電体薄膜を十分保護しつつ引き出し用の配線との良好なコンタクトを取ることができる。

【0087】また、請求項2に係る発明の半導体メモリ素子における上記バリア層は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れか一つとシリコンとの窒化物薄膜、あるいは、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れかの組み合わせとシリコンとの窒化物薄膜であるので、導電性および水素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有するバリア層を、容易に形成できる。

【0088】また、請求項3に係る発明の半導体メモリ素子における上記バリア層は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタル及びタングステンをMと表記し、上記シリコンをSiと表記し、窒素をNと表記した場合に、 $M_xSi_{1-x}N_y$ で表され、且つ、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$ である材料で形成されているので、良好な導電性および水素ガス遮断性を有すると共に、高温域で安定なアモルファス構造を有するバリア層を得ることができる。

【0089】また、請求項4に係る発明の半導体メモリ素子は、酸化物高誘電体薄膜上に、導電性および酸素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有する上部電極を備えたので、上記酸化物高誘電体薄膜の焼成時に、上記上部電極の酸素ガス遮断性によって上記酸化物高誘電体薄膜から酸素ガスが抜けることを防止できる。したがって、上記酸素ガスの抜けによる上記酸化物高誘電体薄膜のリーク電流特性の劣化を回避できる。

【0090】さらに、上記上部電極は、上記酸化物高誘電体薄膜の焼成温度で結晶化されることがなくアモルファス状態を保ち、上記酸化物高誘電体薄膜からの上記酸素ガスの抜け防止を効果的に発揮でき。

【0091】また、請求項5に係る発明の半導体メモリ素子における上記上部電極は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れか一つとシリコンとの窒化物薄膜、あるいは、上記ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタルおよびタングステンのうちの何れかの組み合わせとシリコンとの窒化物薄膜であるので、導電性および酸素ガス遮断性を有し、且つ、高温域で安定なアモルファス構造を有する上部電極を、容易に形成できる。

【0092】また、請求項6に係る発明の半導体メモリ素子における上記上部電極は、ジルコニウム、ニオブ、モリブデン、ハフニウム、タンタル及びタングステンをMと表記し、上記シリコンをSiと表記し、窒素をNと表記した場合に、 $M_xSi_{1-x}N_y$ で表され、且つ、 $0.75 \leq x \leq 0.95$ 、 $0 < y \leq 1.3$ である材料で形成されてい

17

るので、良好な導電性および酸素ガス遮断性を有すると共に、高温域で安定なアモルファス構造を有する上部電極を形成できる。

【図面の簡単な説明】

【図1】 この発明の半導体メモリ素子の一例としての強誘電体メモリ素子における断面図である。

【図2】 図1に示す強誘電体メモリ素子の形成手順を示す図である。

【図3】 図1に示す強誘電体メモリ素子における外部電界一分極ヒステリシスループを示す図である。

【図4】 従来の強誘電体メモリ素子における断面図である。

【図5】 図4に示す従来の強誘電体メモリ素子の形成手順を示す図である。

【図6】 図4に示す従来の強誘電体メモリ素子における外部電界一分極ヒステリシスループを示す図である。

【図7】 この発明の半導体メモリ素子の一例としての高誘電体メモリ素子における断面図である。

18

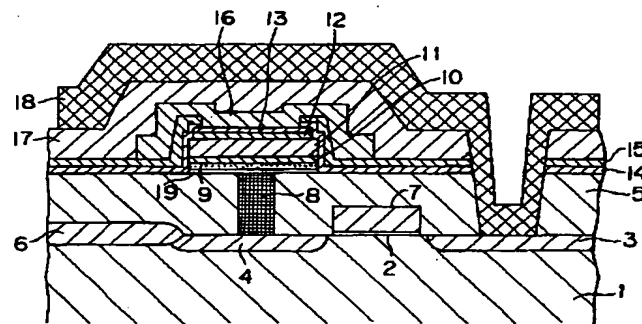
【図8】 図7に示す高誘電体メモリ素子をモデル化したリーク電流特性評価用素子の形成手順を示す図である。

【図9】 従来の高誘電体メモリ素子をモデル化したリーク電流特性評価用素子の形成手順を示す図である。

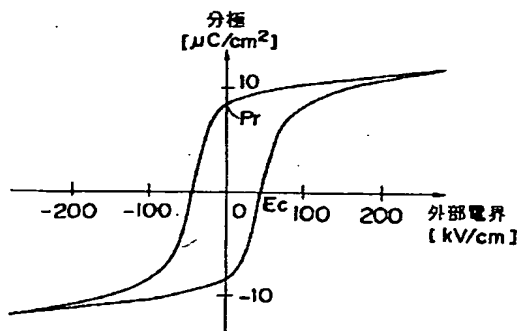
【符号の説明】

1, 4 1…第1導電型シリコン基板、2, 4 2…ゲート酸化膜、3, 4, 4 3, 4 4…第2導電型不純物拡散領域、5, 4 5, 6 3…第1層間絶縁膜、8, 4 8…コンタクトプラグ、10, 5 0…Pt下部電極、11…酸化物強誘電体薄膜、12…Pt上部電極、13…TaSiNバリアメタル層、15, 5 3, 6 8…第2層間絶縁膜、16, 5 4…Alプレート線、17, 5 5…第3層間絶縁膜、18, 5 6…Alビット線、5 1…酸化物高誘電体薄膜、5 2, 6 7…TaSiN上部電極、6 1…N型シリコン基板、6 2…N+型不純物拡散層、6 4…ポリシリコンプラグ、6 6…キャパシタ絶縁膜、6 9…Al引き上げ電極。

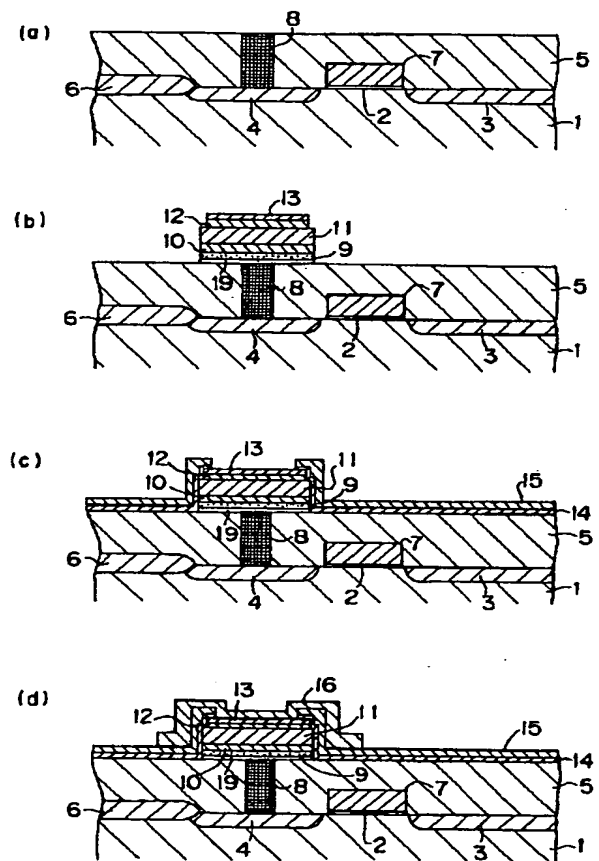
【図1】



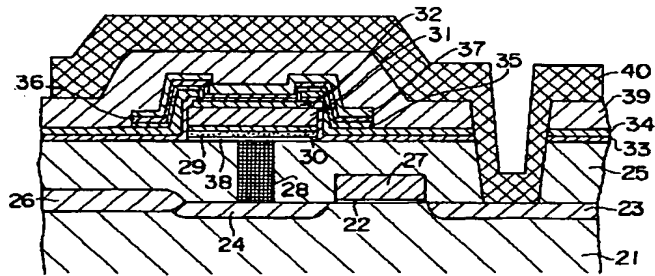
【図3】



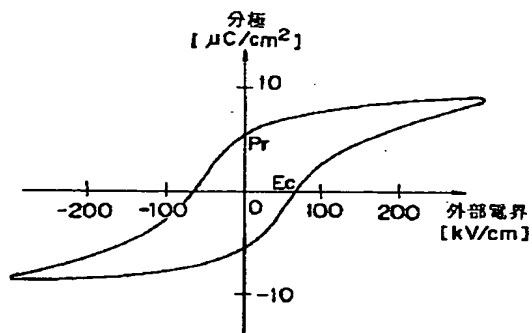
【図2】



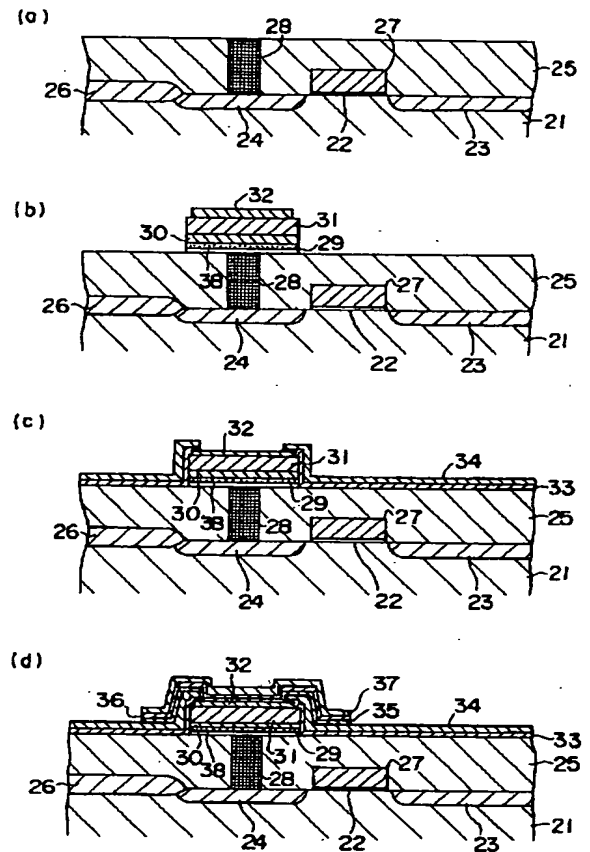
【図4】



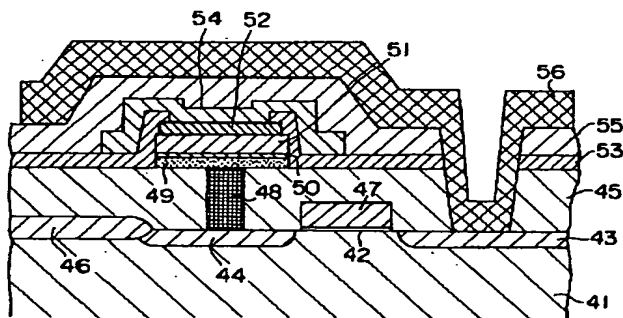
【図6】



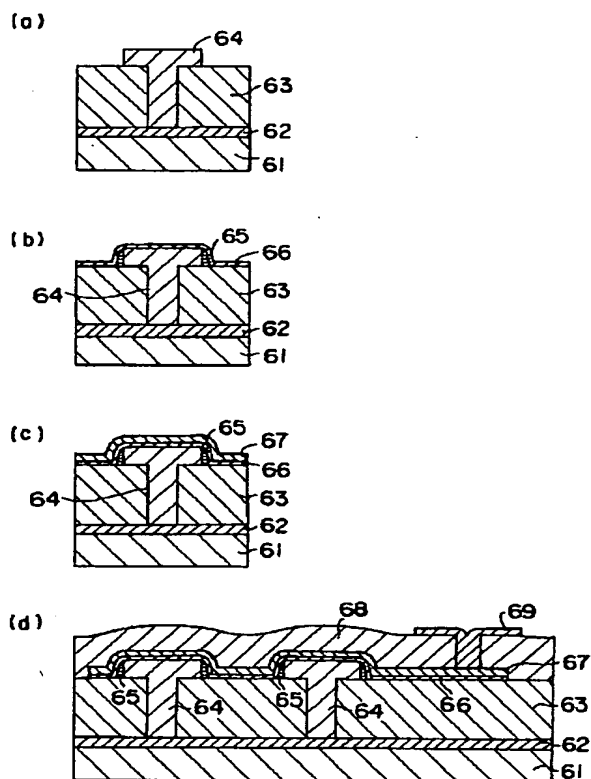
【図5】



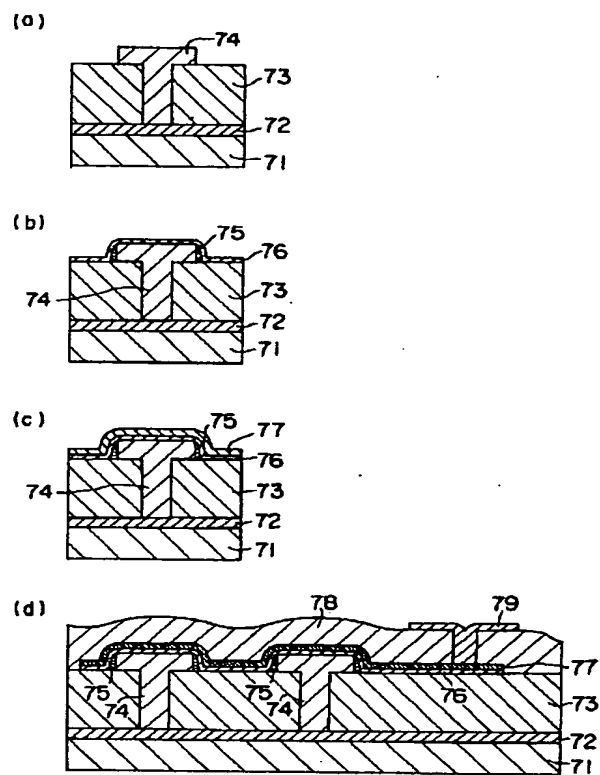
【図7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/788

29/792

(72) 発明者 原 徹

東京都世田谷区等々力 1-32-20